

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

THIS PAGE BLANK (USPTO)

Reference A

Japanese Patent Public Disclosure No. 98741/1978

Date of Public Disclosure: August 29, 1978

Application No. 13409/1977

Application Date: February 8, 1977

Inventor: Masao Managashi

Applicant: Nippon Electric Company, Limited

Titel: Higher Recode Processing System

Gist of the Invention

It is an object of the invention to provide a higher recode processing system intended to improve performance by reducing each load of a CPU, a main memory and a channel and the like by means of limiting data to be transmitted between a main memory and an auxiliary storage device to recodes requested by a command (higher recode processing command).

The present invention is characterized in that a command (higher recode processing command) output from a CPU is interpreted and performed independent from the CPU and that a new recode is made in an auxiliary storage device and transmission of said recode to a main memory or storage of said recode in a predetermined position in the auxiliary storage device are respectively controlled in accordance with the command.

Brief Description of the Drawings

Fig. 1 is a block diagram of the present invention.

Figs. 2 and 3 are diagrams showing the command operation used in the present invention.

40...storage device control portion,

41 and 42...shift register

43...storage processing portion

45...mask register

30,31 and 32...cells

⑨日本国特許庁
公開特許公報

⑩特許三願公報
昭53-98741

⑪Int. Cl. ⁷	識別記号	⑫日本分類	⑬国内整理番号	⑭公開 昭和53年(1978)8月29日
G 06 F 13:00		97(7) C 0	6241-56	
G 06 F 3:00		97(7) C 02	6241-56	発明の款 1
G 06 F 9:00		97(7) C 2	7361-56	審査請求 未請求
G 06 F 13:04		97(7) D 0	6711-56	
G 11 C 9:00		97(7) F 1	6745-56	

(全 4 頁)

⑮高水準記録処理方式

東京都港区芝五丁目33番1号

日本電気株式会社内

⑯特 願 昭52-13409

⑰出 願 人 日本電気株式会社

⑱出 願 昭52(1977)2月8日

東京都港区芝五丁目33番1号

⑲発 明 者 真名垣昌夫

⑳代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

高水準記録処理方式

2. 発明の概要

電子計算機システムの記憶装置補助記憶装置
装置の記憶媒体上への記憶の作成あるいは作
成された記憶に対する高水準記録処理命令を
検出し、前記憶装置の記憶記憶領域を制御
することにより前記憶装置から記憶をレジ
スタ上に読み出して求める記憶を呼び出し
前記憶装置の記憶命令で指定された4ビット
で記憶記憶を作成して主記憶装置への転送を
あるいは前記憶装置上への移動を中央処理装
置と協立に制御するようにしたことを特徴
とする高水準記録処理方式。

1. 発明の効果を説明

本発明は高水準記録処理方式に關し、今般

補助記憶と主記憶装置との記憶の転送等を中央
処理装置とは協立に行う高水準記録処理方式
に關する。

従来の電子計算機システムでは、利用者や
プログラムにより設定された高水準記録処理
命令(以下でコマンドと言う)を実行する
とき、コマンド条件を満たす記憶を補助記憶
装置から読み込み、記憶を行うために中央処理
装置でコマンドをさらに補助記憶制御命令
(入出力命令)と分離して補助記憶装置から
要求を満たす可能性のある記憶の集合(ブ
ロック)を作成し、これを主記憶装置を通じて主記憶装置
へ送り中央処理装置がコマンド条件を満たす
記憶を抽出してコマンド処理を行っている。
しかし、この方式では主記憶と補助記憶との
間のデータ転送と処理は不必要に多くなり、
主記憶と補助記憶との処理と転送が大きいかつ、
中央処理装置が高機能化している今日の電子計
算機システムにおいては、各装置の使用用途
の不同を用い、データ処理上の性能低下の

装置となつてゐる。このような装置の存在として、 ϕ の任意記憶制御方式が考慮されてゐるが、主記憶上へコマンドの読み込みは記憶の読み込みとされず、通常の読み込みとなつてゐる。

本発明の目的は主記憶装置と補助記憶装置のデータ転送をコマンドで要求された記憶のみに限定することによって中央処理装置や主記憶装置およびメモリ等の負荷を軽減し電子計算機システムの性能向上を図るための基本記憶制御方式を提供することにある。

この発明では、中央処理装置(CPU)から与えられたコマンドをCPUと記憶装置間の実行しこのコマンド要求に応じて所望の記憶を補助記憶装置上から読み出して主記憶への転送あるいは前記記憶装置上の予め定められた位置への写込みを制御するようになっている。

次に図面を参照して本発明を詳細に説明する。

第1図は本発明の一実施例を示すブロック

図であり、記憶装置の記憶領域(メモリ)をメモリ、記憶の読み出し/書き込みシステムとしてシフトレジスタを使用している。

第2図および第3図は第1図で示した本装置の動作状態の図を示し、第2図はメモリ30に記憶されている記憶のうちレジスタ41に設定した値と一致する記憶を読み出し、新規記憶を作成しメモリ30に格納するコマンドの内容を示し、第3図はレジスタ41に設定した記憶をメモリ30の内容と比較して順序づけ適切な位置に格納して新規記憶集合を作成するコマンドの内容を示す。

第1図において、記号1、2、3、……、7は制御線を、記号10、11、12、……、21は信号線を表わす。記号30、31および32は各々読み出し/書き込み30、31および32を具えた記憶制御装置であり(それぞれをメモリ30、31および32と呼ぶ)、この上は記憶ゲート(IMG)に

設定された項目の内容と一致する記憶をメモリ30から読み出し、このメモリ30から読み出された記憶をもとに所望の記憶を作成し、メモリ31に格納する場合を例として本発明の動作を説明する。

図示してゐない中央処理装置は制御線1を介して前記制御線40に読み込み信号を送り、制御可能な場合は信号線10を介してコマンドを送る。もし不可能ならば、中央処理装置で時の管理が行われる。前記制御線40はコマンドを受けとった後に記憶域をメモリ30および31の記憶を調べ、もしメモリ30および31が使用中ならば、前記コマンドの発行を待たせる。メモリ30および31が使用可能な場合は、信号線2および3を介して各々の読み出し/書き込み30、31および32を所定の位置に設定し、信号線14とメモリ30(信号線20とメモリ31をオン)の状態にする。また、実行して信号線10を介して、コマンド(命令コード、記憶項目1の

は与えられた記憶が格納されている。ブロック40は記憶装置制御部であり、中央処理装置と主記憶とのインタフェースをとり、送られてきたコマンドを解釈し、各メモリの読み込み/読み出しを制御するとともに本装置全体の制御部となつてゐる。ブロック41、42および43は各々の記憶が格納可能な長さをもつシフトレジスタであり、1ビットのシフト速度はメモリからの1ビットの読み出しおよび書き込み速度と等しく、同期している。ブロック43は記憶制御部であり、比較器、ビットカウンタ、記憶カウンタおよびデータ制御部からなり、前記制御線40から送られたコマンドに応じてシフトレジスタ41および42を用いて求める記憶の読み出しを行い、各々各レジスタのデータ制御を行う。ブロック44はマスタレジスタであり、コマンドで要求された記憶部分のみを取り出すの役割を果す。

第1図および第2図を用いて、コマンドで

アドレス、前記項目1の長さ、前記項目1の内容、比較項目3のアドレス、一)を記憶装置43に送り、さらに、前記二項目の内容を信号線12を通じてシフトレジスタ41に設定し、信号線13を介してマスタレジスタ44に新しく作成すべき記憶の形式を設定する。以上の動作が終了した時点で記憶装置43は制御部5を介してシフトレジスタ42のゲートを開き、セル30に格納された記憶を順次読み出し、このとき、シフトレジスタ41のゲートは信号線5'を介して閉じられている。記憶装置43はビットカウンタを用いてIR0に読出記憶の最初のビットよりカウンタを開始して記憶内の二項目の第1ビットがシフトレジスタ42にロードされた時点でからシフトレジスタ41の内容と比較を開始する。シフトレジスタ42に記憶がロードされたときと比較処理は終了しており、この結果が真のときは制御部5を介して信号線17をONの状態にし、シフトレジ

スタの内容をマスタレジスタ44に転送し、その結果、前記コマンドで指定された二項目の内容と一致する記憶のみからなる新しい記憶がシフトレジスタ43に順次ロードされる。シフトレジスタ42の1記憶の転送が終了した時点で記憶装置43は制御部5を介して前記制御部40に読み込み信号を出す。このあと、前記制御部40は制御部3を用いて読み出し/書き込み部31'を制御してシフトレジスタ43の内容をセル31に書き込む(あるいは信号線21を介して前記制御部40に送り、信号線10を通じて主記憶に転送する)。以上の動作の場合、信号線18はオフの状態になっている。記憶装置43はコマンドに附するすべての処理が終了したときあるいはセル30の記憶すべてを転送した場合に制御部44および信号線11を介して前記制御部40に読み込みを完了状態を通知する。これにより後述する処理が前記制御部40の下で実行される。前記制御部40は新しいコマン

ドを転送あるいは別のセル32を読み出せるかあるいは処理を終了する。

以上の説明では記憶の比較、新規作成を内蔵となり動作を説明したが、記憶の項目内容による順序づけを行う新規記憶の挿入あるいは記憶の変更はシフトレジスタ41および42にセル40から記憶を第3図に示すように交互にロードすることにより可能であり、記憶の削除は前述の動作と同様にして処理できる。

以上説明した如く、本発明においては、中央処理装置とは独立に(添付図)記憶媒体制御部40上で高水準の記憶処理命令の実行が記憶装置及びシフトレジスタの使用と、多数記憶領域(セル)の制御とにより可能となり、これにより前記記憶媒体より利用するプログラム実行上必要な記憶のみが主記憶に転送され、主記憶と前記記憶媒体間のデータ転送量、使用領域を大巾に減少して電子計算機システムの性能を大巾に向上できる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すブロック図および第2図と第3図は本発明に用いるコマンドの例を示す図である。

第1図において、参照数字40は記憶媒体制御部、参照数字41、42、43はシフトレジスタ、参照数字44は記憶装置、参照数字45はマスタレジスタおよび参照数字30、31、32はセルをそれぞれ示す。

代理人 弁護士 内 原 孝

